

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-006418

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

G05B 19/05

(21)Application number : 07-172760

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.06.1995

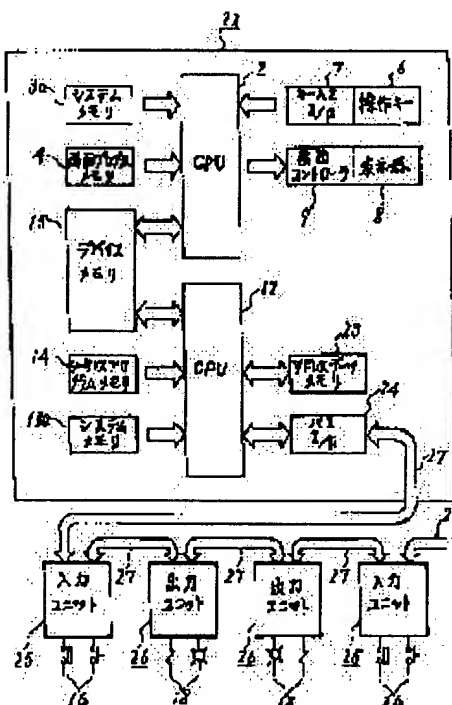
(72)Inventor : HASHIMOTO KENICHIRO
YAMASHITA MASAFUMI

(54) SETTING DISPLAY DEVICE

(57)Abstract:

PURPOSE: To arrange inputs and outputs freely without setting station number by reducing data interaction time between a programmable controller and the setting display device and mounting externally an input output unit through high speed bus communication of an input output individual serial number to enhance a degree of freedom of the number of input and output points.

CONSTITUTION: Many input units 25 and output units 26 are connected through buses to a device 22 integrated with a 1st microprocessor 2 for controlling a screen for setting display, a 2nd microprocessor 12 for programmable controller and a device memory 15 shared by the microprocessors 12, 22 and the address of an input output unit corresponding to the prescribed input output is designated by the address data memory in the device 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-6418

(43) 公開日 平成9年(1997) 1月10日

(51) Int.Cl.⁶
G 0 5 B 19/05

識別記号 庁内整理番号

F I
G 0 5 B 19/05

技術表示箇所

L
S

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号 特願平7-172760

(22) 出願日 平成7年(1995) 6月14日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋本 賢一郎

姫路市千代田町888番地 三菱電機エンジ

ニアリング 株式会社姫路事業所内

(72) 発明者 山下 雅史

姫路市千代田町888番地 三菱電機エンジ

ニアリング 株式会社姫路事業所内

(74) 代理人 弁理士 村上 博 (外1名)

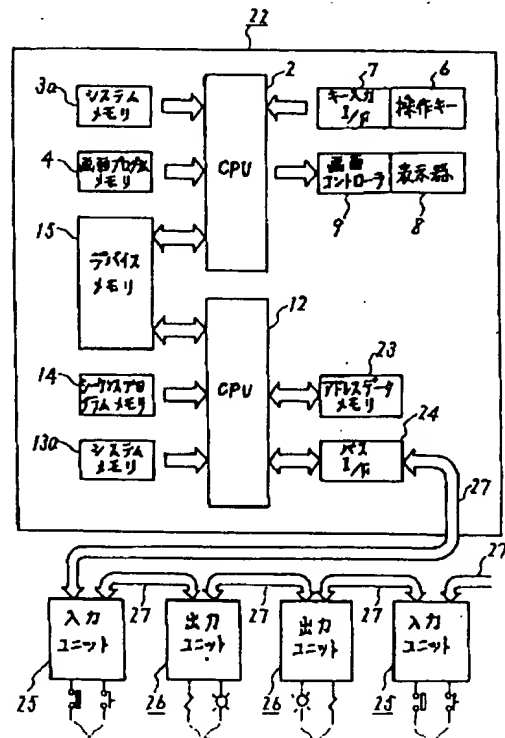
(54) 【発明の名称】 設定表示装置

(57) 【要約】

【目的】 プログラマブルコントローラとデータ設定表示器との改良を目的とする。

【構成】 設定表示のための画面制御用の第1のマイクロプロセッサ2とプログラマブルコントローラ用の第2のマイクロプロセッサ12と、各マイクロプロセッサ2、12が共有するデバイスメモリ15とを一体化した装置22に対して、多数の入力ユニット25又は出力ユニット26がバス接続され、装置22内のアドレスデータメモリ23により所定の入出力に対応した入出力ユニットのアドレスが指定されている。

【効果】 プログラマブルコントローラと設定表示器との間のデータ交信時間を短縮すると共に、入出力個別連番の高速バス通信による入出力ユニットを外付けして、入出力点数の自由度を高め、局番設定を行なわなくても自由に入出力の配列が行なえる。



【特許請求の範囲】

【請求項1】 操作キーの操作内容に応じて表示器に所定の画面表示を行う第1のマイクロプロセッサと、多数の入力のON/OFF状態に応じてプログラマブルな電子的手段により多数の出力のON/OFF制御を行うプログラマブルコントローラ用の第2のマイクロプロセッサと、上記第1及び第2のマイクロプロセッサが共有し各種デバイスのON/OFF状態や数値データを格納したデバイスメモリと、上記第2のマイクロプロセッサが上記多数の入力信号及び出力信号との交信を行うバスインターフェースとを一体的に結合し、この結合体とは離れた位置に上記バスインターフェースを介して順次直列にバス接続された複数の入力ユニット又は出力ユニットを設置し、当該入出力ユニットの入出力信号を上記第2のマイクロプロセッサの入出力とすると共に、上記第2のマイクロプロセッサは上記各入出力ユニットの順番と各入出力の配列を検出記憶するアドレスデータメモリにより、上記プログラマブルコントローラ用のシーケンスプログラムで使用された一連の入力番号又は一連の出力番号に対応して、上記入力ユニット又は出力ユニットに対して所定のアドレスを送信し、上記入力ユニット又は出力ユニットはアドレス減算回路により受信アドレスから一定値を減じた送信アドレスを発生して、これを次段の入出力ユニットの受信アドレスとし、受信アドレスが所定値となった入力ユニット又は出力ユニットが上記第2のマイクロプロセッサとの間でON/OFF情報の交信を行なうことを特徴とする設定表示装置。

【請求項2】 上記設定表示装置には限定された点数の入出力インターフェースが設けられ、プログラマブルコントローラの一部の入力又は出力が直接的に接続できることを特徴とする請求項1記載の設定表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、多数の入力信号のON/OFF状態に応じてプログラマブルな電子的手段によって多数の出力信号のON/OFF制御を行うプログラマブルコントローラにおいて、このプログラマブルコントローラが扱う入出力ON/OFF情報等のデバイスメモリの内容を表示したり設定・変更を行ったりするために用いられるデータの設定表示装置の改良に関するものである。

【0002】

【従来の技術】 図5は一般に広く実用されているプログラマブルコントローラ（以下、PLCと称する）と、データ設定表示装置（以下、DAUと称する）の全体構成を示すブロック図である。図において、1は一つの箱体内に収納されたデータ設定表示装置（DAU）、2はシステムメモリ3内のプログラムで定められた手順で動作する第1のマイクロプロセッサ、4は図示しないプログラムツールによって画面表示の内容を書き込まれた画面

プログラムメモリ、5は画面内で表示すべき数値データや入出力ON/OFF情報を格納したバッファメモリ、6はキー入力インターフェース7を介して上記第1のマイクロプロセッサ2に接続された複数の操作キー、8は画面コントローラ9を介して上記第1のマイクロプロセッサ2から表示データが送られる表示器、10は外部との通信用インターフェースである。そして、上記各メモリ、インターフェース、画面コントローラは第1のマイクロプロセッサ2に対してバス接続され、全体としてデータ設定表示器1を構成する。

【0003】 11は一つの箱体内に収納されたプログラマブルコントローラ（PLC）、12はシステムメモリ13内のプログラムで定められた手順で動作する第2のマイクロプロセッサ、14は図示しないプログラムツールによってシーケンス制御の内容が書き込まれたシーケンスプログラムメモリ、15はPLC11の入出力のON/OFF情報が格納されると共にタイマ、カウンタ、データレジスタ等を構成するデバイスメモリ、16は入力インターフェース17を介して上記第2のマイクロプロセッサ12に接続された多数の入力信号スイッチ、18は出力インターフェース19を介して上記第2のマイクロプロセッサ12に接続された多数の出力負荷、20はケーブル21を介して上記DAU1の通信インターフェース10にシリアル接続された通信インターフェースである。そして、上記各種メモリやインターフェースは第2のマイクロプロセッサ12に対してバス接続され、全体としてプログラマブルコントローラ（PLC）11を構成する。

【0004】 以上のように構成されたものにおいて、多数の入力信号スイッチ16のON/OFF情報は、入力インターフェース17、第2のマイクロプロセッサ12を介してデバイスメモリ15に格納される。多数の出力負荷18は、シーケンスプログラムメモリ14の内容とデバイスメモリ15の内容によって制御され、出力インターフェース19を介してON/OFF制御される。なお、デバイスメモリ15はタイマ、カウンタ、データレジスタとしての役割を持ち、例えばある入力ON/OFF回数を計数した数値を記憶したり、他の入力ON/OFFからの時間を測定するために内部のクロックパルスで計数するタイマの現在値を記憶したりする目的で利用される。

【0005】 一方、DAU1の操作キー6によって読み出し要求された画面内で必要とされる各種データは、デバイスメモリ15の中の一部のデータであり、通信インターフェース20及び10を介してバッファメモリ5との間で交信される。その交信形式は、一般に広く実用されているRS422あるいはRS232C等のシリアル通信方式となっている。このようにして、デバイスメモリ15の内容の一部は、操作キー6の操作によって選択的に表示器に送られる。

作キー 6 の操作によってデータ内容を設定変更してデバイスメモリ 15 へ返送される。なお、PLC 11 は一般に入出力点数の規模に応じて異なるサイズの箱体のものが準備されるが、DAU 1 は最大の入出力点数に対応できるように統一化されており、各種入出力点数の PLC 11 に対して共用的に使用される。また、DAU 1 はオペレータが操作しやすいように制御盤のパネル面に取り付けられるのに対し、PLC 11 は制御盤の内部に取り付けられている。

【0006】

【発明が解決しようとする課題】 以上のように構成された従来の DAU 1 では、デバイスメモリ 15 内の多数のデータを表示器 8 に表示する際に通信インターフェース 20 及び 10 を介してシリアル通信方式で交信されるので、通信の応答性が問題になる。これは、タイマ、カウンタ、データレジスタ等が一般に 16 ビット又は 32 ビットのワードデバイスであり、多数のタイマ、カウンタ、データレジスタのデータをシリアル通信することに原因がある。この問題を解決するために、DAU 1 と PLC 11 を一体化することが考えられるが、この場合入出力点数の規模に対応する手段が問題となると共に、大型の箱体は制御盤のパネル面に取り付け難いという問題もある。

【0007】 この発明は上記問題点を解決するために、PLC の構成要素のうち、小型軽量のマイクロプロセッサやメモリ部分のみを DAU の箱体に収納し、入出力部分を外部に設置しようとするものであるが、この場合、入出力信号は例えば合計で最大 256 点としたら、わずか 32 バイトの情報ではあるが、設定表示等のマンマシンインターフェースに比べてシーケンス制御を行う上でリアルタイムに近い応答性が求められるという、より大きな問題が発生する。更に、外部に設けられた多数の入力ユニットや出力ユニットに対する局番設定等の複雑な取り扱いが生じることも問題である。

【0008】 この発明は上記のような問題点を解消するためになされたもので、プログラマブルコントローラとデータ設定表示器の通信の応答性を向上すると共に、重量等の問題から発生する入出力点数の制限に対しては入出力ユニットを外部に設けることで解消し、更に、入出力ユニットの局番設定が不必要な入出力自動連番割当手段を提供するものである。

【0009】

【課題を解決するための手段】 請求項 1 の発明に係る設定表示装置は、操作キーの操作内容に応じて表示器に所定の画面表示を行う第 1 のマイクロプロセッサと、多数の入力の ON/OFF 状態に応じてプログラマブルな電子的手段により多数の出力の ON/OFF 制御を行うプログラマブルコントローラ用の第 2 のマイクロプロセッサと、第 1 及び第 2 のマイクロプロセッサが共有し各種デバイスの ON/OFF 状態や数値データを格納したデ

バイスメモリと、第 2 のマイクロプロセッサが多数の入力信号及び出力信号との交信を行うバスインターフェースとを一体的に結合し、この結合体とは離れた位置に上記バスインターフェースを介して複数の入力ユニット又は出力ユニットを接続し、入出力ユニットの入出力信号を第 2 のマイクロプロセッサの入出力とすると共に、第 2 のマイクロプロセッサは各入出力ユニットの順番と各入出力の配列を検出記憶するアドレスデータメモリにより、プログラマブルコントローラ用のシーケンスプログラムで使用された一連の入力番号又は一連の出力番号に対応して、入力ユニット又は出力ユニットに対して所定のアドレスを送信し、入力ユニット又は出力ユニットはアドレス減算回路により受信アドレスから一定値（例えば 1）を減じた送信アドレスを発生して、これを次段の入出力ユニットの受信アドレスとし、受信アドレスが所定値（例えば 0）となった入力ユニット又は出力ユニットが第 2 のマイクロプロセッサとの間で ON/OFF 情報の交信を行なうものである。

【0010】 請求項 2 の発明は、設定表示装置に限定された点数の入出力インターフェースを設け、プログラマブルコントローラの一部の入力又は出力が直接的に接続できるようにする。

【0011】

【作用】 この発明における設定表示装置は、データ設定表示装置用の第 1 のマイクロプロセッサとプログラマブルコントローラ用の第 2 のマイクロプロセッサとがデバイスメモリを共有することで、プログラマブルコントローラとデータ設定表示装置間の通信の応答性を向上することができる。そして、入出力ユニットに対してはバイトシリアル通信を行なうことにより通信速度を高め、実用上問題とならないレベルの応答性を確保すると共に、シーケンスプログラム上で用いられる入出力番号に対応した自動アドレス設定手段をプログラマブルコントローラに持たせることにより、入出力ユニットに対する局番設定を不要とする。その結果、入出力ユニットは順不同に順次配列でき、入力と出力は互いに独立した一連の番号を用いることができる。

【0012】

【実施例】

実施例 1.

〔実施例 1 の構成〕 図 1 はこの発明の実施例 1 に係るプログラマブルコントローラ付データ設定表示装置の構成を示すブロック図である。図において、22 は制御盤のパネル面に取り付けられる一つの箱体内に収納されたプログラマブルコントローラ付データ設定表示装置（以下、設定表示装置と称する）であり、この設定表示装置 22 は、システムメモリ 3a 内のプログラムで定められた手順で動作する第 1 のマイクロプロセッサ 2 と、図示しないプログラムツールによって画面表示の内容が書き

フェース7を介して上記第1のマイクロプロセッサ2に接続された複数の操作キー6と、画面コントローラ9を介して上記第1のマイクロプロセッサ2から表示データが送られる表示器8と、システムメモリ13a内のプログラムで定められた手順で動作する第2のマイクロプロセッサ12と、図示しないプログラムツールによってシーケンス制御の内容が書き込まれたシーケンスプログラムメモリ14と、PLC機能の入出力のON/OFF情報やタイマ・カウンタ・データレジスタなどの現在値データ等が格納され上記第1のマイクロプロセッサ2と上記第2のマイクロプロセッサ12が共有するデバイスメモリ15と、入力ユニット25（後述）及び出力ユニット26（後述）のアドレス情報が格納されるアドレスデータメモリ23と、上記第2のマイクロプロセッサ12と入力ユニット25又は出力ユニット26との間でバス通信する際の中継用のバスインターフェース24を備えている。

【0013】また、上記設定表示装置22と入力ユニット25又は出力ユニット26とはケーブル27により接続されている。更に、第1のマイクロプロセッサ2と、システムメモリ3a、画面プログラムメモリ4、キーインターフェース7、画面コントローラ9とはバス結合されており、第2のマイクロプロセッサ12と、システムメモリ13a、シーケンスプログラムメモリ14、アドレスデータメモリ23、バスインターフェース24もバス結合されている。そして、第1のマイクロプロセッサ2と第2のマイクロプロセッサ12は、双方向からアクセス可能なデバイスメモリ15を共有している。

【0014】図1において、25は例えば8点の入力信号スイッチ16が接続された複数の入力ユニット、26は例えば8点の出力負荷18が接続された複数の出力ユニットであり、設定表示装置22とはそれぞれ別々の箱体内に収納し、制御盤内に配置されてケーブル27で直列的にバス接続されている。

【0015】図2は上記入力ユニット25と出力ユニット26の詳細な構成を示す図であり、上記バスインターフェース24を介しケーブル27で送受信される例えば15個のバスデータ28は、下記の8個の入出力データ32と、1個のステータス信号33と、1個のステータス信号要求34と、5個のアドレスデータ35により構成される。入出力ユニットのバスインターフェース30は、設定表示装置22のバスインターフェース24を介して、又は自ユニットの前段に接続された入出力ユニット25又は26を経由して、送受信される15個のバスデータ28を中継し、両者間をバス結合する。また、入出力ユニットのバスインターフェース31は、自ユニットの次段に接続された入出力ユニット25又は26と送受信される15個のバスデータ28を中継する。

【0016】入出力データ32は、上記バスデータ28の中から例えば8個分のデータであり、入出力のON/OFF

OFF信号を双方向に送受信する。ステータス信号33は、上記バスデータ28のうちの1個分のデータであり、入出力ステータス情報を、入力ユニット25であれば下記の入力ステータスゲート43から、また出力ユニット26であれば下記出力ステータスゲート47から貰い受け、バスインターフェース30を介し設定表示装置22へ送信される。ステータス信号要求34は、上記ステータス信号33を貰い受けるために、入力ステータスゲート43又は出力ステータスゲート47と、入力ゲート40又は出力ゲート44を開くためのものである。

【0017】アドレスデータ35は、設定表示装置22と通信する入出力ユニット25又は26を指定するためのデータであり、設定表示装置22に接続する最大入出力点数を例えば256点とし、1ユニット8点に1アドレス割り付けた場合の最大アドレス32をBIN値で表現するのに必要な5個のデータを持っている。アドレス減算回路36は、設定表示装置22からバスインターフェース24及び30を介して送信される上記アドレスデータ35の現在値から1を減算して、次段に接続された入出力ユニット25又は26に送信するものである。自己アドレス検出回路37は、設定表示装置22からバスインターフェース24及び30を介して送信されるアドレスデータ35を比較し、アドレスデータがBIN値で所定値（例えば0）であれば自ユニットの指定になり、自ユニットが入力ユニット25のとき下記入力ゲート40を開け、自ユニットが出力ユニット26のとき下記出力ゲート44を開ける指令をするものである。ゲート信号38は自己アドレス検出回路37でアドレスデータが所定値（例えば0）のとき入出力ゲート40又は44と、ステータスゲート43又は47を開ける指令信号であり、ゲート信号39は上記ステータス信号要求34の反転論理信号である。

【0018】入力ゲート40は、ゲート信号38とゲート信号39の指令により、8点の入力信号スイッチ16を下記入力回路インターフェース41を介して取り込み、入出力データ32のバスデータでバスインターフェース30から設定表示装置22のバスインターフェース24へ送信するときのゲートの役割を果たす。入力回路インターフェース41は、8点の入力信号スイッチ16のON/OFF信号を光絶縁して取り込み、入力ゲート40を介し入出力データ32で送信するための入力信号42を取り込む。ステータスゲート43は、自己アドレス検出回路37からのゲート信号38とステータス信号要求34が送られたとき、入力ユニットとしてのステータス情報を送るためのゲートの役割を果たす。

【0019】出力ゲート44は、ゲート信号38とゲート信号39の指令により、設定表示装置22からバスインターフェース24、30を介し送信される入出力データ32によって、下記出力ラッチメモリと出力インター

割を果す。出力ラッチメモリ・出力インターフェース45は、8点の出力負荷18を駆動するための有接点のリレーや無接点のトランジスタ、トライアック出力を内蔵している。ステータスゲート47は、自己アドレス検出回路37からのゲート信号38とステータス信号要求34が送られた時、出力ユニットとしてのステータス情報を送るためのゲートの役割を果す。

【0020】〔実施例1の動作〕以上のとおり構成されたものにおいて、まず図1に示す構成の動作について説明する。多数の入力信号スイッチ16のON/OFF情報は、入力ユニット25、バスインターフェース24及び第2のマイクロプロセッサ12を介して後述のバイトシリアル通信でデバイスメモリ15に格納される。一方、多数の出力負荷18は、シーケンスプログラムメモリ14の内容とデバイスメモリ15の内容に基づいて第2のマイクロプロセッサ12により制御され、バスインターフェース24、ケーブル27及び出力ユニット26を介してON/OFF動作する。なお、このデバイスメモリ15は、タイマ、カウンタ、データレジスタとしての役割をもち、例えばある入力ON/OFF回数を計数した値を記憶したり、他の入力ON/OFFからの時間を測定するために内部のクロックパルスを計数するタイマの現在値を記憶したりする目的で使用される。操作キー6は、キーインターフェース7を介してシステムメモリ3aのプログラムに基づき、第1のマイクロプロセッサ2によって画面プログラムメモリ4の画面データを画面コントローラ9を介して表示器8に表示する。このとき、画面データと同じく操作キー6の操作によって表示器8にモニタされるデータは、第2のマイクロプロセッサ12と共用するデバイスメモリ15に格納されたデータであり、第1のマイクロプロセッサ2とバス結合されたデバイスメモリ15より画面コントローラ9を介して表示器8にモニタされる。また、操作キー6の操作によってデータ変更された内容は、上記と同じくキーインターフェース7を介して第1のマイクロプロセッサ2よりデバイスメモリ15へ格納される。このようにデバイスメモリ15を共有し、これを介して第1のマイクロプロセッサ2と第2のマイクロプロセッサ12とを結合することで第1のマイクロプロセッサ2と第2のマイクロプロセッサ12との間のデータ交換が直接行え、両者間の応答性が格段に向上される。

【0021】次に、入出力ユニットの構成を示す図2について説明する。バスインターフェース30から入力されたアドレスデータ35は、アドレス減算回路36によって論理的に1を減算して、直ちに後段のバスインターフェース31へ送られる。従って、多数の入力ユニット25又は出力ユニット26は、設定表示装置22から遠ざかるにつれて一つずつ減算されたアドレスデータを受取ることになる。一方、自己アドレス検出回路37は受

所定値（例えば0）と比較し、これが一致した入出力ユニットのみがゲート信号38を発生する。このとき、ステータス信号要求34が論理1の時は、ステータスゲート43又は47が開き、入力ユニット25であれば論理0、出力ユニット26であれば論理1をステータス信号33として設定表示装置22へ送信する。また、ステータス信号要求34が論理0の時は、入力ゲート40又は出力ゲート44が動作し、入出力データ32に対して8点の入力又は出力の信号の受け渡しが行なわれる。このためには設定表示装置22は、各入出力ユニットの入出力区分を知っておく必要があるが、その処理手順を図3に基づいて説明する。

【0022】図3において、まずステップ50において、設定表示装置22、入力ユニット25及び出力ユニット26に電源を投入する。ステップ51では、電源投入直後にアドレスデータ35を0として送信すると共にステータス信号要求34を論理1として送信する。ステップ52では、送信アドレスに対応した入出力ユニットから送られたステータス信号33を読み取り記憶する。ステップ53では、全アドレスの送信が完了したかどうかを判定する。ステップ54では、全アドレスの送信未完了の時に送信アドレスに1を加算する。ステップ55では、全アドレスの送信完了時に入出力構成マップを作成する。ステップ56では、入出力構成マップを基にして入出力番号の割付けテーブルを作成する。ステップ57は、上記一連の動作終了を示す。

【0023】次に、図3の具体的な動作について説明する。まず、アドレスデータ35として0が送信されると、設定表示装置22に最も近い入力ユニット25又は出力ユニット26（図1の例では入力ユニット25）が対象となり、ステータス信号要求34（論理1）に応じてステータス信号33は論理0（入力ユニットの場合）又は論理1（出力ユニットの場合）を発生し、第2のマイクロプロセッサ12はこれを読み取り現対象ユニットが入力ユニットか出力ユニットかをアドレスデータメモリ23に記憶する。同様にして順次、送信アドレスに1を加えて次段に配列されたユニットの入力又は出力の区分を読み取り記憶する。このように、第2のマイクロプロセッサ12は入出力ユニットの多寡にかかわらず最大システムに対応したアドレスまで順次送信することができる。その結果として作成された入出力番号テーブル56の一例を図4に示す。

【0024】図4において、設定表示装置22から近い接続順にアドレスは00、01、02、03、04となっており、ステータス信号33による入出力区分によって入力又は出力が確定する。一方、入力に対しては例えば符号Xを伴う8進番号、出力に対しては例えば符号Yを伴う8進番号を付ける場合、アドレス00は入力X0～X7、アドレス03はこれに続く入力X10～X17

別の連番割付けが行われる。ところで、設定表示装置 22 内のシーケンスプログラムメモリ 14 では、入力、出力に対してはそれぞれ X00～、Y00～等の番号で扱われており、例えば X10～X17 の入力信号が必要なときはアドレス 03 を送信して 4 番目のユニットの入出力データ 32 を受信すれば良い。なお、図 4 の入力ユニット 25、出力ユニット 26 には入出力番号 (X00～X07、Y00～Y07 等) を示す番号ラベル 61 を添付し、ユーザーが識別できるようにしている。

【0025】実施例 2。上記実施例では、すべての入出力ユニットを設定表示装置 22 とは別体の箱体に収めたものを示したが、設定表示装置 22 と同一の箱体に最低限度必要な入出力インターフェースを設けて、プログラマブルコントローラの一部の入力又は出力が直接的に接続できるようにしても良い。

【0026】実施例 3。上記実施例では、入出力ユニット 25 又は 26 はそれぞれ 8 点のユニットとしたが、16 点や 32 点などの点数にしても良い。また上記実施例では入出力ユニットをそれぞれ別体の構成としたが、入力と出力を一体化したユニットを使用しても良い。

【0027】

【発明の効果】以上のように、この発明によればプログラマブルコントローラのマイクロプロセッサとデータ設定表示装置のマイクロプロセッサとがデバイスメモリを共有することで、プログラマブルコントローラとデータ設定表示装置との通信の応答性を向上すると共に、重量等の問題から発生する入出力点数の制限に対しては入出力ユニットを外部に設けることで解消し、更に、入出力

ユニットをアドレス減算方式によるバス結合にすることと、プログラマブルコントローラにアドレスデータメモリを設けることで応答性の良い入出力処理が行え、複雑な組み合わせの入出力局番設定が不要な入出力自動連番割当を行える効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施例に係る設定表示装置の構成を示すブロック図である。

【図 2】 上記実施例の入出力ユニットの構成を示すブロック図である。

【図 3】 上記実施例の入出力ユニットの配列を検出するフローチャートである。

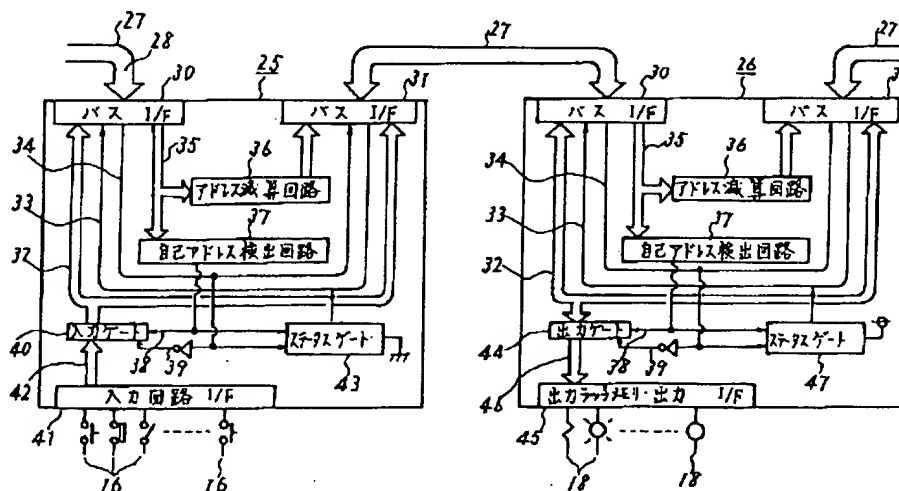
【図 4】 上記実施例の入出力ユニットの配列を示すテーブル図である。

【図 5】 従来のデータ表示器とプログラマブルコントローラの構成を示すブロック図である。

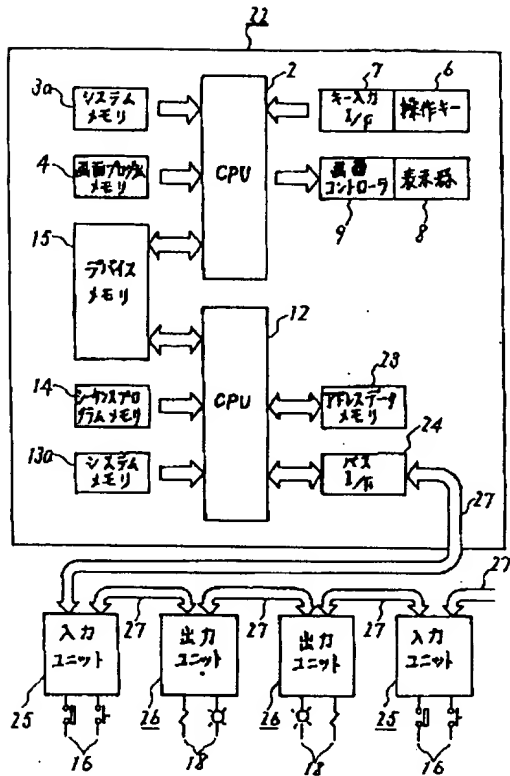
【符号の説明】

2 第 1 のマイクロプロセッサ、3 a, 13 a システムメモリ、4 画面プログラムメモリ、5 デバイスメモリ、6 操作キー、8 表示器、12 第 2 のマイクロプロセッサ、14 シーケンスプログラムメモリ、16 入力信号スイッチ、18 出力負荷、23 アドレスデータメモリ、24, 30, 31 バスインターフェース、25 入力ユニット、26 出力ユニット、36 アドレス減算回路、37 自己アドレス検出回路、41 入力回路インターフェース、45 出力ラッチメモリ・出力インターフェース、43, 47 ステータスゲート。

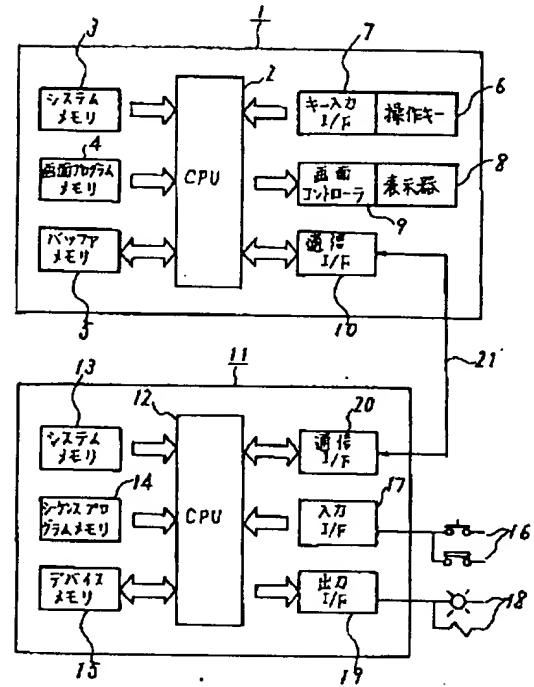
【図 2】



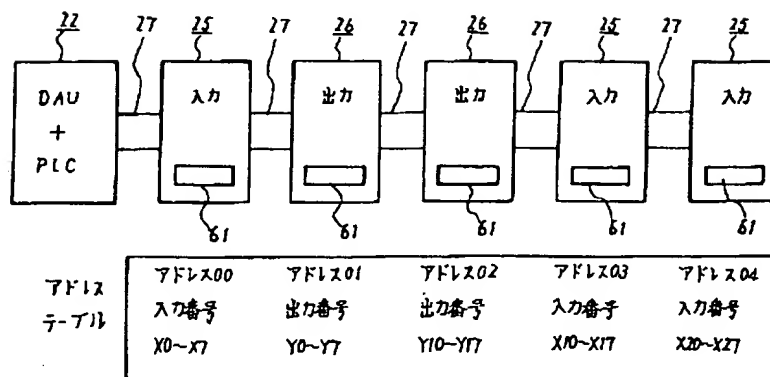
【図1】



【図5】



【図4】



【図 3】

